

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-213891

(43)Date of publication of application : 15.08.1997

(51)Int.Cl.

H01L 27/04
H01L 21/822
H01L 27/06

(21)Application number : 08-016907

(71)Applicant : SEIKO EPSON CORP

(22)Date of filing : 01.02.1996

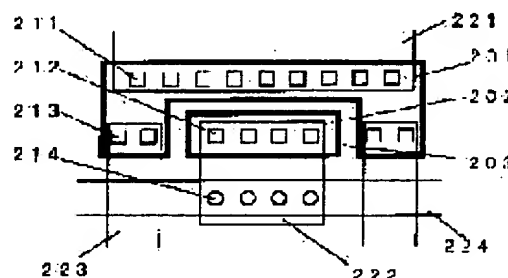
(72)Inventor : YAMAZAKI HIRONORI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely enable the operation of a lateral bipolar by making at least one part of the second conductivity type of second diffusion area exist between plural adjacent extended regions in the first diffusion area.

SOLUTION: An element isolating area 203 being an insulating layer is made between n-type diffusion areas 201 and 202, and this isolates both electrically. At the time of application of high voltage such as static electricity, the lateral bipolar constituted of the three regions of an n-type diffusion are 201, a p-type well are, and an n-type diffusion area 202 operates by the breakdown of the diode between the n-type diffusion area 201 and the p-type well area. Therefore, an excessive current of static electricity application is discharged from an earth terminal to outside of the device. Moreover, between connection holes 211 and 213, by the load for the amount of resistance of the n-type diffusion area, voltage higher than the diode connected in parallel with the lateral bipolar in an inner circuit is applied to the diode between the n-type diffusion area 201 and the p-type well area, and the lateral bipolar operates.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-213891

(43) 公開日 平成9年(1997)8月15日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 27/04
21/822
27/06

H 0 1 L 27/04
27/06

H
1 0 1 P

審査請求 未請求 請求項の数 3 O L (全 7 頁)

(21) 出願番号 特願平8-16907

(22) 出願日 平成8年(1996)2月1日

(71) 出願人 000002369

セイコーエプソン株式会社

東京都新宿区西新宿2丁目4番1号

(72) 発明者 山▲崎▼ 裕基

長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内

(74) 代理人 弁理士 鈴木 喜三郎 (外1名)

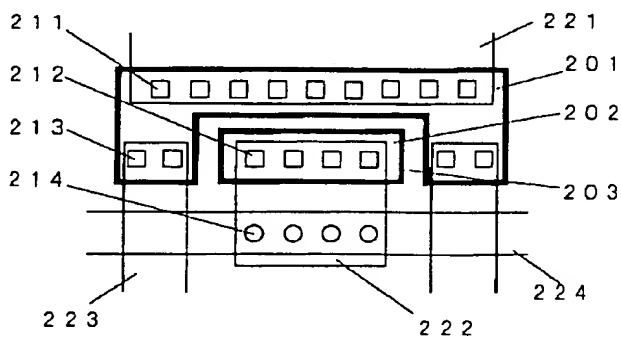
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】半導体装置において、入出力回路の集積度を低下することなく、装置外部からの静電気などの高電圧印加に対しての耐圧を向上する。

【解決手段】半導体装置の入出力回路内に、ウェル領域上にウェル領域と逆導電型の二つの拡散領域を素子分離して形成するテラルバイポーラを設け、このラテラルバイポーラの外部接続端子に接続する領域を、凸部を有する形状、あるいは環状に形成し、更に外部接続端子に接続するコンタクトから距離をおいて、同領域内に内部回路に接続するコンタクトを設ける。

【効果】ラテラルバイポーラを構成する一つの拡散領域と保護抵抗を同一の拡散領域にすることによって、入出力回路の集積度を低下することなく静電気耐圧を向上することが可能になる。



【特許請求の範囲】

【請求項 1】 外部装置と入出力インターフェースする入出力回路を具備し、前記入出力回路内の第一導電型ウェル領域内に、第二導電型の第一の拡散領域と、前記第二導電型の第一の拡散領域とは素子分離領域によって電気的に分離された第二導電型の第二の拡散領域と、前記ウェル領域に電位を供給するための前記第一導電型ウェル領域よりは濃度の高い第一導電型ウェル電極形成領域を有する半導体装置において、前記第二導電型の第一の拡散領域は、第一の方向に複数箇所が延長されており、前記複数の延長された領域以外の領域内に前記第一の方向に直交する第二の方向に配列される第一の接続孔から外部接続端子に、前記複数の延長された領域内に配置される第二の接続孔から内部回路に、それぞれ導電層により接続され、前記第二導電型の第二の拡散領域は、少なくともその一部が、前記第一の拡散領域の互いに隣接する前記複数の延長された領域の間に存在することを特徴とする半導体装置。

【請求項 2】 外部装置と入出力インターフェースする入出力回路を具備し、前記入出力回路内の第一導電型ウェル領域内に、第二導電型の第一の拡散領域と、前記第二導電型の第一の拡散領域とは素子分離領域によって電気的に分離された第二導電型の第二の拡散領域と、前記ウェル領域に電位を供給するための前記第一導電型ウェル領域よりは濃度の高い第一導電型ウェル電極形成領域を有する半導体装置において、前記第二導電型の第一の拡散領域は、第一の方向に複数箇所が延長されており、前記複数の延長された領域内に配列される第二の接続孔から外部接続端子に、前記複数の延長された領域以外の領域内に前記第一の方向に直交する第二の方向に配置される第一の接続孔から内部回路に、それぞれ導電層により接続され、前記第二導電型の第二の拡散領域は、少なくともその一部が、前記第一の拡散領域の互いに隣接する前記複数の延長された領域の間に存在することを特徴とする半導体装置。

【請求項 3】 外部装置と入出力インターフェースする入出力回路を具備し、前記入出力回路内の第一導電型ウェル領域内に、第二導電型の第一の拡散領域と、前記第二導電型の第一の拡散領域とは素子分離領域によって電気的に分離された第二導電型の第二の拡散領域と、前記ウェル領域に電位を供給するための前記第一導電型ウェル領域よりは濃度の高い第一導電型ウェル電極形成領域を有する半導体装置において、前記第二導電型の第二の拡散領域は、周囲に環状の前記第二導電型の第一の拡散領域を有し、環状の前記第二導電型の第一の拡散領域は、領域の一辺に沿って第一の方向に配列される第一の接続孔から外部接続端子に、前記第一の接続孔と前記第二導電型の第二の拡散領域及び素子分離領域を挟んで対向する前記第二導電型の第一の拡散領域内に配置される第二の接続孔から内部回路に、それぞれ導電層により接

続されることを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は半導体装置に関し、特に装置外部からの静電気などの高電圧印加に対する内部回路の保護に関する。

【0002】

【従来の技術】従来の技術による半導体装置では、特開昭 57-115854 に記載の入力保護回路によると、図 8 に示す二つの N 型の拡散領域 801、802 が、互いに素子分離領域により電気的に分離されて P 型ウェル領域 803 上に形成され、N 型の拡散領域 801 が、外部接続端子に、N 型の拡散領域 802 が、接地端子に、P 型ウェル領域 803 が、P 型ウェル領域 803 よりは濃度の高い P 型のウェル電極形成領域 804 を介して接地端子に、それぞれ A1、Ti、W、多結晶 Si などの導電層により接続されており、正の静電気が装置外部から印加された場合、N 型の拡散領域 801、P 型ウェル領域 803 によって構成されるダイオード 821 のブレイクダウンをきっかけとして、P 型ウェル領域 803 の電位が上昇し、N 型の拡散領域 801、P 型ウェル領域 803、N 型の拡散領域 802 によって構成される NPN 型ラテラルバイポーラ 822 が動作し、これによって静電気印加に伴う過大電流を N 型の拡散領域 802 より導電層を介して接地端子 812 から装置外部に放出し、内部回路を装置外部からの静電気印加より保護していた。

【0003】

【発明が解決しようとする課題】しかし、前記従来技術による半導体装置では、図 9 に示すように、外部接続端子 901 に導電層によって接続される NPN 型ラテラルバイポーラ 910 の動作のきっかけとなるダイオード 911 のブレイクダウン電圧が、被保護回路である内部回路 920 と接地端子 902 の間のダイオード 912 のブレイクダウン電圧と比較して、高いもしくは十分な差がない場合に、装置外部からの正の静電気印加に対して、ダイオード 911 がブレイクダウンせずに、ダイオード 912 がブレイクダウンし、内部回路 920 が破壊に至る可能性があり、確実にダイオード 911 をブレイクダウンさせ、NPN 型ラテラルバイポーラ 910 を動作させることにより、半導体装置の十分な静電気耐圧を確保するためには、静電気保護領域の集積度を犠牲にして、前記ラテラルバイポーラ 910 と内部回路 920 の間に、別途に不純物拡散領域あるいは多結晶 Si などからなる 903 を挿入する必要があった。

【0004】そこで、本発明はこの問題点を解決するためのもので、その目的は製造工程数の増加、製造工程の複雑化を招くことなく、前記抵抗体と前記ラテラルバイポーラの前記第一の拡散領域を同一の領域中に設けることによって、静電気保護領域の集積度を犠牲にして別途

3

に抵抗体を挿入する必要性をなくし、確実にラテラルバイポーラを動作させ、装置外部からの静電気などの高電圧の印加に対する半導体装置の耐圧を向上させるところにある。

【0005】

【課題を解決するための手段】本発明における半導体装置は、外部装置と入出力インターフェースする入出力回路を具備し、前記入出力回路内の第一導電型ウェル領域内に、第二導電型の第一の拡散領域と、前記第二導電型の第一の拡散領域とは素子分離領域によって電気的に分離された第二導電型の第二の拡散領域と、前記ウェル領域に電位を供給するための前記第一導電型ウェル領域よりは濃度の高い第一導電型ウェル電極形成領域を有する半導体装置において、前記第二導電型の第一の拡散領域は、第一の方向に複数箇所が延長されており、前記複数の延長された領域以外の領域内に前記第一の方向に直交する第二の方向に配列される第一の接続孔から外部接続端子に、前記複数の延長された領域内に配置される第二の接続孔から内部回路に、それぞれ導電層により接続され、前記第二導電型の第二の拡散領域は、少なくともその一部が、前記第一の拡散領域の互いに隣接する前記複数の延長された領域の間に存在することを特徴とし、また、前記第二導電型の第一の拡散領域は、第一の方向に複数箇所が延長されており、前記複数の延長された領域内に配列される第二の接続孔から外部接続端子に、前記複数の延長された領域以外の領域内に前記第一の方向に直交する第二の方向に配置される第一の接続孔から内部回路に、それぞれ導電層により接続され、前記第二導電型の第二の拡散領域は、少なくともその一部が、前記第一の拡散領域の互いに隣接する前記複数の延長された領域の間に存在することを特徴とし、また、前記第二導電型の第二の拡散領域は、周囲に環状の前記第二導電型の第一の拡散領域を有し、環状の前記第二導電型の第一の拡散領域は、領域の一辺に沿って第一の方向に配列される第一の接続孔から外部接続端子に、前記第一の接続孔と前記第二導電型の第二の拡散領域及び素子分離領域を挟んで対向し、前記第一の方向に直交する第二の方向に配置される第二の接続孔から内部回路に、それぞれ導電層により接続されることを特徴とする。

【0006】

【発明の実施の形態】以下、本発明による実施例を図1、図2、図3、図4、図5、図6、図7を用いて説明する。

【0007】図1は本発明による半導体装置の全体図であり、本発明による半導体装置は、半導体基板101の表面上の外周部の領域102に装置外部に接続する入出力回路及び電源供給回路を、その内側の103の領域に論理回路をそれぞれ有する。

【0008】図2は本発明による一つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平

4

面図であり、図2に示す範囲の全面にP型ウェル領域が存在する。N型の拡散領域201は、二つの凸部を有し、N型の拡散領域201の凸部以外の領域内の接続孔211からA1、W、Ti、多結晶Siなどからなる最下層の導電層221を介して外部接続端子に接続され、N型の拡散領域201の凸部内に配置する接続孔213から最下層の導電層223を介して内部回路へ接続される。N型の拡散領域202は、N型の拡散領域201の凸部の間に少なくともその一部が存在するように形成され、基板と最下層の導電層とを接続する接続孔212及び、最下層の導電層222及び、最下層の導電層と上部の導電層とを接続する接続孔214及び、上部の導電層224によって接地端子に接続される。絶縁層である素子分離領域203は、N型の拡散領域201、202の間に形成され、両者を電気的に分離する。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、N型の拡散領域201とP型ウェル領域との間のダイオードのブレイクダウンをきっかけとして、N型の拡散領域201、P型ウェル領域、N型の拡散領域202の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔211、213間にN型の拡散領域201の抵抗成分が負荷されるため、N型の拡散領域201とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバイポーラは、確実に動作する。

【0009】図3は本発明による二つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平面図であり、図3に示す範囲の全面にP型ウェル領域が存在する。図3に示す静電気保護回路は、図2に示した一つ目の実施例である半導体装置における入出力回路内の静電気保護回路を、N型の拡散領域201の凸部を共通にし、複数個連結したものである。N型の拡散領域301は、複数の凸部を有し、N型の拡散領域301の凸部以外の領域内の接続孔311からA1、W、Ti、多結晶Siなどからなる最下層の導電層321を介して外部接続端子に接続され、N型の拡散領域301の凸部内に配置する接続孔313から最下層の導電層323を介して内部回路へ接続される。N型の拡散領域302は、N型の拡散領域301の互いに隣接する凸部の間に少なくともその一部が存在するように形成され、基板と最下層の導電層とを接続する接続孔312及び、最下層の導電層322及び、最下層の導電層と上部の導電層とを接続する接続孔314及び、上部の導電層324によって接地端子に接続される。絶縁層である素子分離領域303は、N型の拡散領域301、302の間に形成され、両者を電気的に分離する。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、N型の拡散領域301とP型ウェル領域との

5

間のダイオードのブレイクダウンをきっかけとして、N型の拡散領域301、P型ウェル領域、N型の拡散領域302の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔311、313間にN型の拡散領域301の抵抗成分が負荷されるため、N型の拡散領域301とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバイポーラは、確実に動作する。

【0010】図4は本発明による三つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平面図であり、図4に示す範囲の全面にP型ウェル領域が存在する。図4に示す静電気保護回路は、図2に示した一つ目の実施例である半導体装置における入出力回路内の静電気保護回路の配線を変更したものである。N型の拡散領域401は、二つの凸部を有し、N型の拡散領域401の凸部内に配置する接続孔411から最下層の導電層421を介して外部接続端子に接続され、N型の拡散領域401の凸部以外の領域内の接続孔413からA1、W、Ti、多結晶Siなどからなる最下層の導電層423を介して内部回路へ接続される。N型の拡散領域402は、N型の拡散領域401の凸部の間に少なくともその一部が存在するように形成され、基板と最下層の導電層とを接続する接続孔412及び、最下層の導電層422及び、最下層の導電層と上部の導電層とを接続する接続孔414及び、上部の導電層424によって接地端子に接続される。絶縁層である素子分離領域403は、N型の拡散領域401、402の間に形成され、両者を電氣的に分離する。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、N型の拡散領域401とP型ウェル領域との間のダイオードのブレイクダウンをきっかけとして、N型の拡散領域401、P型ウェル領域、N型の拡散領域402の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔411、413間にN型の拡散領域401の抵抗成分が負荷されるため、N型の拡散領域401とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバイポーラは、確実に動作する。

【0011】図5は本発明による四つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平面図であり、図5に示す範囲の全面にP型ウェル領域が存在する。図5に示す静電気保護回路は、図3に示した二つ目の実施例である半導体装置における入出力回路内の静電気保護回路の、配線を変更したものである。N型の拡散領域501は、複数の凸部を有し、N型の拡散領域501の凸部内に配置する接続孔511からA1、

6

W、Ti、多結晶Siなどからなる最下層の導電層521を介して外部接続端子に接続され、N型の拡散領域501の凸部以外の領域内の接続孔513から最下層の導電層523を介して内部回路へ接続される。N型の拡散領域502は、N型の拡散領域501の互いに隣接する凸部の間に少なくともその一部が存在するように形成され、基板と最下層の導電層とを接続する接続孔512及び、最下層の導電層522及び、最下層の導電層と上部の導電層とを接続する接続孔514及び、上部の導電層524によって接地端子に接続される。絶縁層である素子分離領域503は、N型の拡散領域501、502の間に形成され、両者を電氣的に分離する。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、N型の拡散領域501とP型ウェル領域との間のダイオードのブレイクダウンをきっかけとして、N型の拡散領域501、P型ウェル領域、N型の拡散領域502の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔511、513間にN型の拡散領域501の抵抗成分が負荷されるため、N型の拡散領域501とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバイポーラは、確実に動作する。

【0012】図6は本発明による五つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平面図であり、図6に示す範囲の全面にP型ウェル領域が存在する。環状のN型の拡散領域601は、接続孔611からA1、W、Ti、多結晶Siなどの最下層の導電層621により外部接続端子に接続され、接続孔611が存在する位置に対向する領域内に配置する接続孔613から最下層の導電層623により内部回路へ接続される。N型の拡散領域602は、環状のN型の拡散領域601によってその周囲を囲まれ、素子分離領域603によって環状のN型の拡散領域601とは電氣的に分離され、接続孔612及び、最下層の導電層622及び、最下層の導電層と上部の導電層とを接続する接続孔614及び、上部の導電層624を介して接地端子に接続される。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、環状のN型の拡散領域601とP型ウェル領域との間のダイオードのブレイクダウンをきっかけとして、環状のN型の拡散領域601、P型ウェル領域、N型の拡散領域602の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔611、613間にN型の拡散領域601の抵抗成分が負荷されるため、N型の拡散領域601とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバ

7

イポーラは、確実に動作する。

【0013】図7は本発明による六つ目の実施例である半導体装置における入出力回路内の静電気保護回路の平面図であり、図7に示す範囲の全面にP型ウェル領域が存在する。図7に示す保護回路は、図6に示した五つ目の実施例である半導体装置における入出力回路内の静電気保護回路を、N型の拡散領域601の接続孔の存在しない領域を共通にし、複数個連結したものである。N型の拡散領域701は、接続孔711からA1、W、Ti、多結晶Siなどの最下層の導電層721により外部接続端子に接続され、接続孔711が存在する位置に対向する領域内に配置する接続孔713から最下層の導電層723により内部回路へ接続される。複数のN型の拡散領域702は、それぞれN型の拡散領域701によってその周囲を囲まれ、素子分離領域703によってN型の拡散領域701とは電気的に分離され、接続孔712及び、最下層の導電層722及び、最下層の導電層と上部の導電層とを接続する接続孔714及び、上部の導電層724を介して接地端子に接続される。このような構成による保護回路によると、装置外部からの静電気のような高電圧の印加時には、環状のN型の拡散領域701とP型ウェル領域との間のダイオードのブレイクダウンをきっかけとして、N型の拡散領域701、P型ウェル領域、N型の拡散領域702の三つの領域によって構成するラテラルバイポーラが動作し、接地端子より装置外部に、静電気印加に伴う過大電流を放出する。また、接続孔711、713間にN型の拡散領域701の抵抗成分が負荷されるため、N型の拡散領域701とP型ウェル領域との間のダイオードには、内部回路内においてラテラルバイポーラと並列に接続されるダイオードより高い電圧が掛かり、ラテラルバイポーラは、確実に動作する。

【0014】

【発明の効果】以上に示したような静電気保護回路の構造によれば、別途に抵抗体を配置せずに、外部接続端子に最も近接するラテラルバイポーラを確実に動作させることが可能なために、同等の保護能力を持つ従来例による半導体装置における入出力回路と比較して、集積度を低下させることなく、静電気耐圧を向上させることが可能である。また、この発明を採用することによる半導体装置の工程数の増加、工程の複雑化はない。

【図面の簡単な説明】

【図1】本発明による半導体装置の全体図である。

【図2】本発明による一つ目の実施例である半導体装置における静電気保護回路の平面図である。

【図3】本発明による二つ目の実施例である半導体装置における静電気保護回路の平面図である。

【図4】本発明による三つ目の実施例である半導体装置における静電気保護回路の平面図である。

【図5】本発明による四つ目の実施例である半導体装置

8

における静電気保護回路の平面図である。

【図6】本発明による五つ目の実施例である半導体装置における静電気保護回路の平面図である。

【図7】本発明による六つ目の実施例である半導体装置における静電気保護回路の平面図である。

【図8】従来技術による半導体装置における静電気保護回路の断面図である。

【図9】従来技術による半導体装置における静電気保護回路周辺の回路図である。

【符号の説明】

101：半導体基板

102：入出力回路領域

103：論理回路領域

201：N型の拡散領域

202：N型の拡散領域

203：素子分離領域

211：基板と最下層の導電層との接続孔

212：基板と最下層の導電層との接続孔

213：基板と最下層の導電層との接続孔

214：最下層の導電層と上部の導電層との接続孔

221：最下層の導電層

222：最下層の導電層

223：最下層の導電層

224：上部の導電層

301：N型の拡散領域

302：N型の拡散領域

303：素子分離領域

311：基板と最下層の導電層との接続孔

312：基板と最下層の導電層との接続孔

313：基板と最下層の導電層との接続孔

314：最下層の導電層と上部の導電層との接続孔

321：最下層の導電層

322：最下層の導電層

323：最下層の導電層

324：上部の導電層

401：N型の拡散領域

402：N型の拡散領域

403：素子分離領域

411：基板と最下層の導電層との接続孔

412：基板と最下層の導電層との接続孔

413：基板と最下層の導電層との接続孔

414：最下層の導電層と上部の導電層との接続孔

421：最下層の導電層

422：最下層の導電層

423：最下層の導電層

424：上部の導電層

501：N型の拡散領域

502：N型の拡散領域

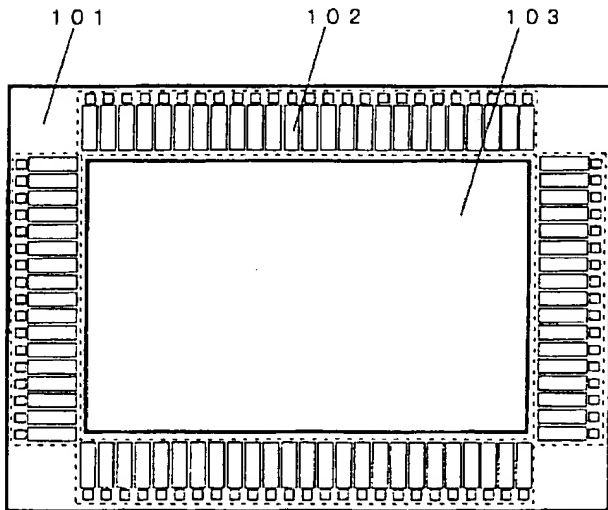
503：素子分離領域

511：基板と最下層の導電層との接続孔

9

- 5 1 2 : 基板と最下層の導電層との接続孔
- 5 1 3 : 基板と最下層の導電層との接続孔
- 5 1 4 : 最下層の導電層と上部の導電層との接続孔
- 5 2 1 : 最下層の導電層
- 5 2 2 : 最下層の導電層
- 5 2 3 : 最下層の導電層
- 5 2 4 : 上部の導電層
- 6 0 1 : N型の拡散領域
- 6 0 2 : N型の拡散領域
- 6 0 3 : 素子分離領域
- 6 1 1 : 基板と最下層の導電層との接続孔
- 6 1 2 : 基板と最下層の導電層との接続孔
- 6 1 3 : 基板と最下層の導電層との接続孔
- 6 1 4 : 最下層の導電層と上部の導電層との接続孔
- 6 2 1 : 最下層の導電層
- 6 2 2 : 最下層の導電層
- 6 2 3 : 最下層の導電層
- 6 2 4 : 上部の導電層
- 7 0 1 : N型の拡散領域
- 7 0 2 : N型の拡散領域
- 7 0 3 : 素子分離領域
- 7 1 1 : 基板と最下層の導電層との接続孔
- 7 1 2 : 基板と最下層の導電層との接続孔
- 7 1 3 : 基板と最下層の導電層との接続孔

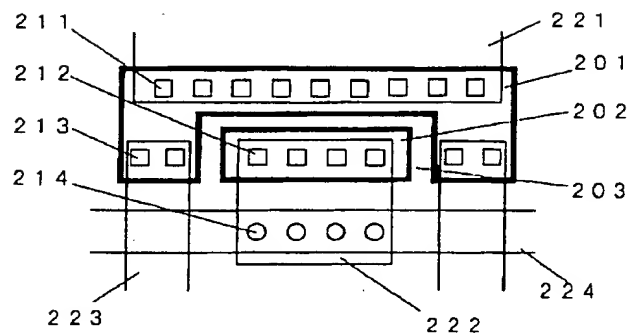
【図 1】



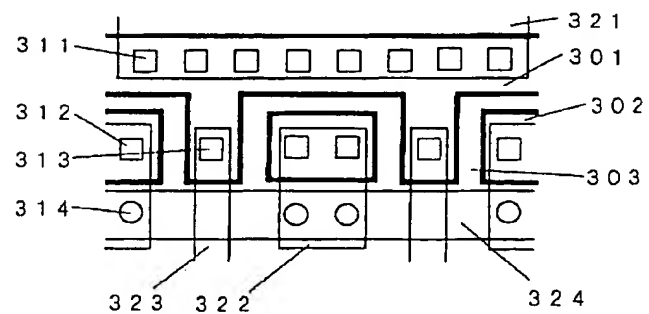
10

- 7 1 4 : 最下層の導電層と上部の導電層との接続孔
- 7 2 1 : 最下層の導電層
- 7 2 2 : 最下層の導電層
- 7 2 3 : 最下層の導電層
- 7 2 4 : 上部の導電層
- 8 0 1 : N型の拡散領域
- 8 0 2 : N型の拡散領域
- 8 0 3 : P型のウェル領域
- 8 0 4 : P型のウェル電極形成領域
- 10 8 1 1 : 外部接続端子
- 8 1 2 : 接地電源端子
- 8 1 3 : 接地電源端子
- 8 2 1 : ダイオード
- 8 2 2 : ラテラルバイポーラ
- 8 2 3 : P型のウェル領域の抵抗成分
- 9 0 1 : 外部接続端子
- 9 0 2 : 接地電源端子
- 9 0 3 : 抵抗体の抵抗成分
- 9 0 4 : P型のウェル領域の抵抗成分
- 20 9 0 5 : P型のウェル領域の抵抗成分
- 9 1 0 : ラテラルバイポーラ
- 9 1 1 : ダイオード
- 9 1 2 : ダイオード
- 9 2 0 : 内部回路

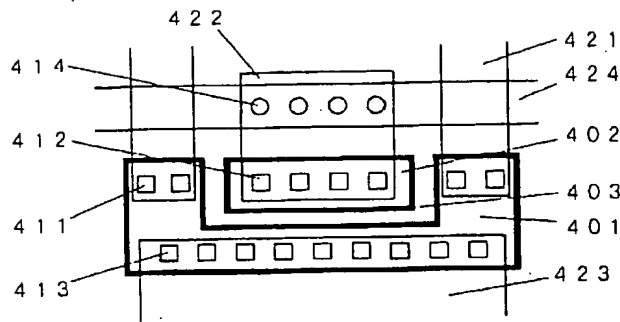
【図 2】



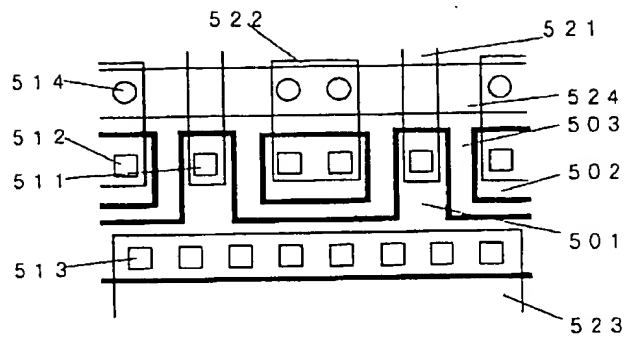
【図 3】



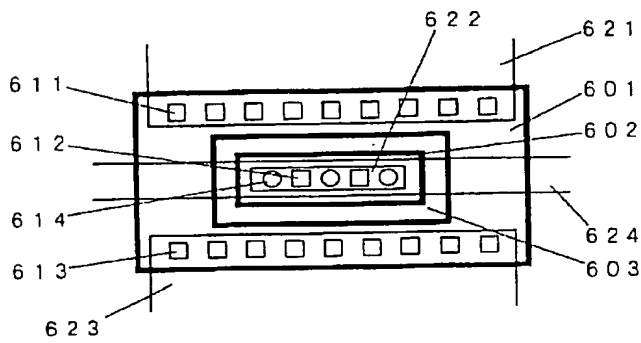
【図 4】



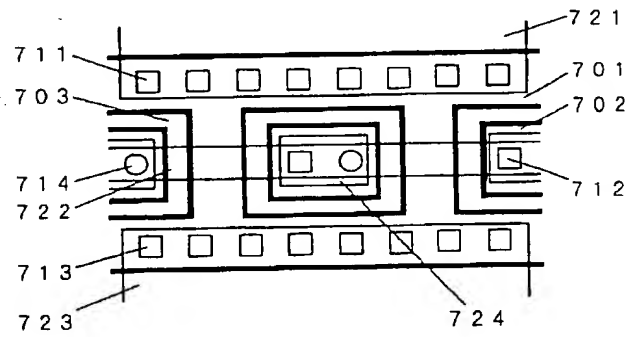
【図 5】



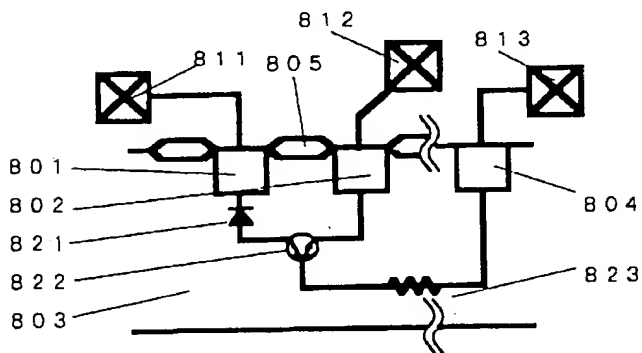
【図 6】



【図 7】



【図 8】



【図 9】

